

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10270455 A**(43) Date of publication of application: **09.10.98**

(51) Int. Cl.

H01L 21/324**H01L 21/20****H01L 21/322**(21) Application number: **09073398**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **26.03.97**(72) Inventor: **SEKIHARA AKIKO**(54) **MANUFACTURE OF SEMICONDUCTOR
SUBSTRATE**

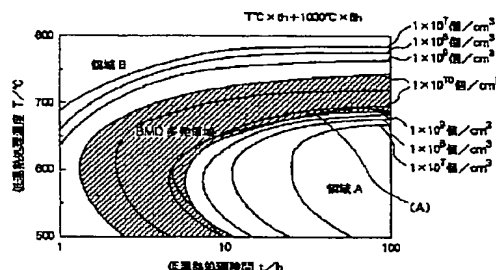
COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To optimize the bulk micro defect(BMD) density and improve the mechanical strength by heat treating so as to meet specified equation of the treating temp. and time.

SOLUTION: The low temp. heat treatment is applied at a lower temp. for a long time or at a higher temp., for a short time. At esp. regions A, a stable control is possible over a wide range of 1×10^{10} BMDs/cm³ or less. BMD formed at the heat treated regions A is smaller than that at regions B and has a low probability of the punch-out dislocation or laminate defect. BMD formed at the heat treated regions A can be stably controlled and the substrate mechanical strength hardly reduces with taking account of the sec. defects such as punchout dislocation. The region A is defined by $\log_{10} t^2 (4.091 \times 10^{-7}) T^3 - (6.573 \times 10^{-4}) T^2 + 0.3478 T - 59.72$.

The bolded line A is derived by approximating with polynomials contour-lines at an experimentally obtd. BMD density of 1×10^{10} defects/cm³.



(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 21/324		H 0 1 L 21/324	X
21/20		21/20	
21/322		21/322	Y

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21) 出願番号 特願平9-73398

(22) 出願日 平成9年(1997)3月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 関 原 章 子

神奈川県川崎市幸区堀川町72番地 株式会

社東芝川崎事業所内

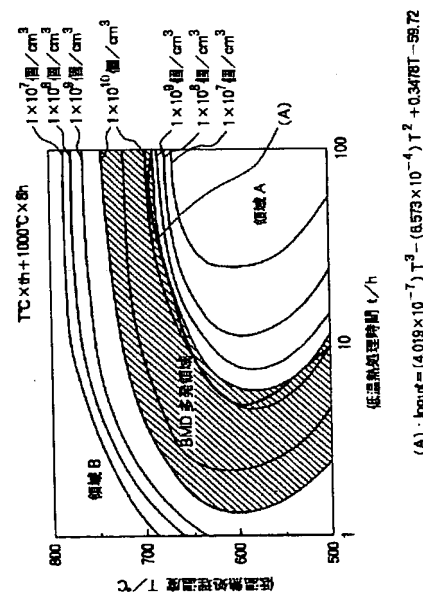
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 特定の熱処理法を採用することによって、BMD密度の最適化と機械的強度の向上の双方にすぐれた半導体基板を提供すること。

【解決手段】 ボロン濃度 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、初期酸素濃度 $7 \times 10^{17} \text{ atoms/cm}^3$ (Old ASTM基準) 以上のP型シリコン基板に対して、温度 $500^\circ\text{C} \sim 690^\circ\text{C}$ の温度範囲において、熱処理温度 $T^\circ\text{C}$ と時間 $t \text{ h}$ との関係が下記の条件 (A) : $\log_{10} t \geq (4.091 \times 10^{-7}) T^3 - (6.573 \times 10^{-4}) T^2 + 0.3478 T - 59.72$ (A) を満足するような熱処理を行うことを特徴とする半導体基板の製造方法。



【特許請求の範囲】

【請求項1】 ボロン濃度 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、初期酸素濃度 $7 \times 10^{17} \text{ atoms/cm}^3$ (01 d ASTM基準) 以上のP型シリコン基板に対して、温度 $500^\circ\text{C} \sim 690^\circ\text{C}$ の温度範囲において、熱処理温度 $T^\circ\text{C}$ と時間 $t \text{ h}$ との関係が下記の条件 (A) :

$\log_{10} t \geq (4.091 \times 10^{-7}) T^3 - (6.573 \times 10^{-4}) T^2 + 0.3478T - 59.72$ (A) を満足するような熱処理を行うことを特徴とする、半導体基板の製造方法。

【請求項2】 ボロン濃度 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、初期酸素濃度 $7 \times 10^{17} \text{ atoms/cm}^3$ 以上のP型シリコン基板上に単結晶シリコン層をエピタキシャル成長させたエピタキシャルウェーハに対し、前記熱処理を加えることを特徴とする、請求項1に記載の方法。

【請求項3】 温度 $500^\circ\text{C} \sim 690^\circ\text{C}$ の範囲の前記熱処理の後に、さらに温度 $900 \sim 1100^\circ\text{C}$ の範囲での熱処理を行うことを特徴とする、請求項1または2に記載の方法。

【請求項4】 前記P型シリコン基板が、ボロン濃度 $1 \times 10^{18} \sim 3 \times 10^{19} \text{ atoms/cm}^3$ 、初期酸素濃度 $7 \times 10^{17} \sim 2 \times 10^{18} \text{ atoms/cm}^3$ を有する、請求項1～3のいずれか1項に記載の方法。

【請求項5】 ボロン濃度 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、初期酸素濃度 $7 \times 10^{17} \text{ atoms/cm}^3$ 以上のP型シリコン基板、または該シリコン基板を用いて作成したエピタキシャルウェーハに対し、温度 $500^\circ\text{C} \sim 690^\circ\text{C}$ の範囲で、請求項1に示した範囲外の熱処理温度・時間条件の熱処理を複数回組み合わせることによって請求項1と同様の効果を得ることを特徴とする、半導体基板の製造方法。

【請求項6】 低温熱処理 (900°C 以下) および/または中温熱処理 ($900^\circ\text{C} \sim 1100^\circ\text{C}$) をデバイス製造工程中またはウェーハ加工工程で行うことを特徴とする、請求項1～5のいずれか1項に記載の方法。

【請求項7】 請求項1～6のいずれか1項に記載の方法によって得られた半導体基板。

【請求項8】 請求項1～6のいずれか1項に記載の方法によって得られたBMD密度 $1 \times 10^6 \sim 1 \times 10^{10} \text{ 個/cm}^3$ を有する半導体基板。

【請求項9】 請求項1～6のいずれか1項に記載の方法によって得られた半導体基板を用いて製造された半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体基板およびこの基板を用いてなる半導体装置に関し、特に比較的高濃度のボロン (硼素) を含有するシリコンウェーハまたはP/P⁺ エピタキシャルウェーハの製造方法ならびにこれらのシリコンウェーハを用いた半導体装置に関するも

のである。

【0002】

【従来の技術および発明が解決しようとする課題】 チョクラスキー法 (CZ法) によって製造されたシリコン基板は基板中に格子間酸素を多量 (過飽和) に含んでいる。過飽和の格子間酸素はデバイス製造工程中の熱処理によって析出し、微小な欠陥 (bulk micro defect; 以下、BMDという) を形成する。このBMDは金属不純物のゲッターリングサイトとして働くことが知られており、基板中に存在するBMDの不純物ゲッター能力を利用するIG (Intrinsic Gettering) 法が広く用いられている。一方、BMDは素子活性層に存在すると素子特性を劣化させたり、密度が高すぎる場合には基板の機械強度を低下させるなどのマイナス面もあり、深さ方向プロフィールをも含めたBMD制御が必要となる。

【0003】 BMDの形成過程は、低温熱処理 (主として 900°C 以下) による析出核形成過程と、それに続く中温熱処理 (主として $900 \sim 1100^\circ\text{C}$) による析出核成長過程から成る。一般に低温熱処理が長くなるとBMD密度が増加し、中温熱処理が長くなるとBMDサイズが大きくなると考えられていた。

【0004】 P/P⁺ エピウェーハは、表層完全化、ラッチアップの防止のためLSI用の基板として広く用いられている。P⁺ 基板にはCZ法で育成した高濃度ボロン含有基板が用いられるが、通常、ボロン濃度が高くなると酸素析出が起こり易くなり、BMD密度が高くなることが知られている。

【0005】 すなわち、高濃度ボロン含有P⁺ 基板を用いたP/P⁺ エピウェーハでは、ボロン低濃度の基板に比べて酸素析出が非常に起きやすくなり、そのため通常のデバイスプロセスにおいて高密度のBMDが形成されてしまい、BMDの密度を最適状態に制御することは困難であった。高密度のBMDが形成されると基板の機械強度が劣化し、スリップが発生しやすくなるという問題があり、BMDを制御する手法が求められていた。

【0006】 このように、半導体デバイス用ウェーハの製造プロセスにおいては、機械強度及びゲッターリングの観点からBMD制御が重要となる。しかしながら、上述したように、P/P⁺ エピウェーハでは、ボロンを高濃度 ($1 \times 10^{18} \text{ atoms/cm}^3$ 以上) に含むP⁺ 基板を用いるため、酸素析出が極めて容易に起きるので、BMD密度やサイズを最適状態に制御することは困難であった。例えば、デバイスプロセス中の熱工程でBMDが多発すると基板の機械強度が劣化し、スリップ発生による歩留まり低下の問題があった。

【0007】 BMDの発生を抑制するには、低酸素濃度の基板を使用することが考えられるが、基板酸素濃度によりBMDを精度よく制御するのは必ずしも容易ではない。たとえば、BMDを抑制するに十分なくらいに酸素濃度を低下させると、逆にBMD密度が低くなりすぎて

ゲッター能力低下によるデバイス不良が問題となるなど、基板酸素濃度の低減によってBMD密度を適正な値に保つのは、極めて困難であった。

【0008】このようにP/P⁺ エピウェーハにおいては、BMD密度の制御が困難であったため、BMD密度の最適値が必ずしも明確ではなく、したがって、簡便に行えるBMD制御法の確立が望まれていた。

【0009】したがって、本発明は、上記のような特質を持つP/P⁺ エピウェーハについて、特定の熱処理法を採用することによって、BMD密度の最適化と機械的強度の向上の双方にすぐれた半導体基板を提供することを目的とするものである。

【0010】

【課題を解決するための手段】上述した目的を達成するために、本発明による半導体基板の製造方法は、ボロン濃度 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、初期酸素濃度 $7 \times 10^{17} \text{ atoms/cm}^3$ (Old ASTM基準)以上のP型シリコン基板に対して、温度 $500^\circ\text{C} \sim 690^\circ\text{C}$ の温度範囲において、熱処理温度 $T^\circ\text{C}$ と時間 $t \text{ h}$ との関係が下記の条件(A)：

$\log_{10} t \geq (4.091 \times 10^{-7}) T^3 - (6.573 \times 10^{-4}) T^2 + 0.3478T - 59.72$ (A) を満足するような熱処理を行うことを特徴とする。

【0011】上記の条件を満足する熱処理を基板製造プロセスのいずれかの段階において実施することによってBMD密度の最適化と機械的強度の向上の双方にすぐれた半導体基板を得ることができる。

【0012】さらに本発明は、上記の方法によって得られた半導体基板を用いた半導体装置を包含するものである。

【0013】

【発明の実施の形態】上述したように、本発明は、上記不等式(A)の関係を満足する熱処理を基板製造プロセスのいずれかの段階において実施することを本質的特徴としている。この熱処理の実施は、半導体基板の製造プロセスの特定の段階に限定されず、いずれの段階においても行うことによって同様の効果を得ることができる。

【0014】適用し得る半導体基板は、ボロン濃度 $1 \times 10^{18} \sim 3 \times 10^{19} \text{ atoms/cm}^3$ 、初期酸素濃度 $7 \times 10^{17} \sim 2 \times 10^{18} \text{ atoms/cm}^3$ (Old ASTM基準)のP型シリコン基板であり、最も典型的には、P/P⁺ エピウェーハがその対象となる。

【0015】本発明は、このような特質を持つP/P⁺ エピウェーハについて、所定の低温熱処理を加えることによってデバイスプロセス中に基板中に形成されるBMD密度を抑え、適切な密度に制御する方法を提供するものである。

【0016】図1および図2は、P/P⁺ エピウェーハに、拡散炉を用いて乾燥酸素雰囲気中で低温+中温の2段階熱処理を加えた後、BMDをIRトモグラフ法によ

り評価した結果を示すものである。中温熱処理条件は 1000°C 、8時間に固定し、低温熱処理条件を変化させ、BMD密度の低温熱処理条件依存性を調べた結果、低温熱処理温度 700°C では、熱処理時間が3時間を超えるとBMDが $1 \times 10^{10} \text{ 個/cm}^3$ 以上に多発することが分かる。従来の通常のデバイスプロセスでは拡散工程、CVD工程などに $600 \sim 800^\circ\text{C}$ 程度の熱処理が多用されており、これらの熱処理がBMD多発の要因となっていた。

【0017】一方、低温熱処理が 700°C 未満、とくに 600°C および 650°C の条件では、低温熱処理時間が長くなるにつれてBMD密度、サイズとも予想外に低下する現象が認められる。この低温熱処理条件依存性を利用することによって、 700°C ではBMDが高密度に形成されるP/P⁺ エピウェーハにおいても $10^5 \sim 10^{10} \text{ 個/cm}^3$ という広い範囲でBMDを制御することが可能であることが分かった。また、BMD密度を最適化するだけでなく、そのサイズについても最適状態に制御することが可能である。

【0018】従来のP型ウェーハでは、低温熱処理時間が長くなるほど形成される析出核の密度が増加するためBMD密度も増加し、核形成が飽和状態に達した時点でBMD密度も飽和するものの、減少することはないと考えられていた(これについては、たとえば、応用物理第48巻第12号1126頁、1979年参照)。そして、本発明におけるように、低温熱処理を長時間化することによってBMD密度を予想外に低下させることができることは従来知られていなかった。

【0019】図3に、2段階熱処理後のBMD密度の低温熱処理温度及び時間に対する依存性を示す。図3では横軸が低温熱処理時間、縦軸が温度であり、BMD密度は等高線として表されている。ハッチングで示した部分はBMD多発($1 \times 10^{10} \text{ 個/cm}^3$ 以上)領域を意味する。図3に示すように、この場合の温度-時間領域は3つの領域に分けられる。BMD多発領域、低温・長時間領域A、高温・短時間の領域Bの3つである。図中の太線(A)はBMD多発領域と領域Aの境界線となるBMD密度 $1 \times 10^{10} \text{ 個/cm}^3$ の等高線を多項式(A)によって近似的に表したものである。

【0020】P/P⁺ エピウェーハにおいて、BMDの多発を防止し、デバイスプロセスでのスリップ発生のない機械強度を確保するためには、低温熱処理としては比較的低温で長時間の熱処理(図3領域A)を行うか、比較的高温で短時間の熱処理(図3領域B)を行えばよいことがわかる。特に、領域AにおいてはBMDが $1 \times 10^{10} \text{ 個/cm}^3$ 以下の広い範囲で安定した制御が可能であり、また、以下の理由からも領域Aに基づく処理が好ましい。

【0021】前記図2の評価結果において、BMDのサイズについて言及しているが、領域Aの熱処理によって

形成されたBMDは領域Bに比べてサイズが小さく、しかもパンチアウト転位や積層欠陥などの発生率が低いことがTEMによる観察で見出されている。このことは、領域Aの熱処理によって形成されたBMDは安定した制御が行えるのみならず、パンチアウト転位等の2次欠陥も考慮に入ると、基板機械強度の劣化が起こりにくい状態であることがわかる。

【0022】本発明はこのような低温かつ長時間処理の領域Aの熱処理を適用することによってBMDを低レベルに制御しようとするものである。領域Aは下記に示す式(A)によって規定される。

【0023】 $\log_{10}t \geq (4.091 \times 10^{-7}) T^3 - (6.573 \times 10^{-4}) T^2 + 0.3478T - 59.72$ (A) 領域の境界となる太線(A)は実験的に得られたBMD密度 1×10^{10} 個/cm³の等高線を多項式で近似することによって導出した。

【0024】前述したように、従来は、析出核形成熱処理は長時間化するほどBMD密度を増加させると考えられてきた。しかしながら、図1、2および3から明らかなように、P/P⁺エピウェーハでは核形成熱処理時間が増加するにつれて逆にBMD形成を抑制するという予想外の現象がみられるのである。

【0025】本発明はいかなる理論にも拘束されることを意図するものではないが、次のように推測することができる。まず、この現象を説明するために、BMDの形成を、析出核形成と析出核成長(BMD形成)の2段階に分けて考えてみる。析出核形成速度は格子間酸素の過飽和度と拡散係数に依存する。格子間酸素の過飽和度は温度が低いほど大きく、これは核形成を促進するが、一方で温度が低いと酸素の拡散が遅くなり、核成長速度が遅くなるため、トータルで見ると低温熱処理時の核形成速度はある温度でピークを持つことになる。

【0026】P/P⁺エピウェーハの場合は、600℃付近の温度が最も短時間でBMDが多発しかつBMDが低減する現象があらわれるという図3の結果より、核形成速度が最大となるのはほぼ600℃となる。

【0027】図4および図5は低温熱処理時間が長くなるにつれて析出核密度及びBMD密度がどのように変化するかを示したものである。図4、5において縦軸は析出核及びBMD密度を、横軸は低温(析出核形成)熱処理時間を表す。図中の点線は低温熱処理によって形成される析出核密度を、実線は低温熱処理後に一定条件での中温熱処理(例えば1000℃、8h)を加えた後のBMD密度を表す。ハッチングで示した部分はBMDが多発(例えばBMD密度 1×10^{10} /cm³以上)する領域である。600℃の低温熱処理では析出核形成速度が大きいので、図4に示すように析出核密度は時間とともに急激に増大し、短時間でBMD成長に対する限界密度(Dc)を超える。析出核密度がDcを超えると、格子間酸素濃度は有限であるため、個々の析出核のサイズは

小さくなる。結果として中温熱処理を経てBMDに成長することができる限界サイズ以上の析出核密度が減少することになり、BMD密度は減少する。一方、700℃の低温熱処理では、析出核形成速度が小さいため図5に示すように、低温熱処理時間が増大したとしても析出核密度はDcを超えず、中温熱処理後のBMD密度も低温熱処理時間とともに増大する。

【0028】図6および図7は、P/P⁺エピウェーハの酸素析出挙動を模式的に示す概念図である。核形成温度が600℃(図6)では、熱処理が長時間化することにより析出核は高密度に形成されるが、中温熱処理を経て観察されるBMD密度は低下する。析出核が高密度に形成されると、基板中の酸素量は一定であるため個々の析出核に集まる酸素量が減少し、析出核のサイズが小さくなる。従って、後続の中温熱処理によって成長できる析出核が減少する。すなわち、中温の熱処理を経て形成されるBMD密度が減少するのである。一方、低温熱処理温度が700℃(図7)においては、図示のような状態となる。

【0029】前述したように、従来はBMD密度は析出核密度の増加に伴って増加するものと思われていた。しかし今回、析出核がある限度を超えて高密度に形成されるとBMD密度が減少に転じることが明らかとなった。これは従来予想し得なかった新たな知見であり、本発明はこの知見に基づいてBMD密度の制御を図ろうとするものである。

【0030】本発明の本質的な点は、析出核密度を制御することである。従って、重要なことは析出核を限界密度以上に高密度に形成するようにすることである。このためには2段階熱処理に限らず、複数の熱処理を組み合わせたり、デバイスプロセス中の熱処理を利用することもできる。

【0031】このようにしてP/P⁺エピウェーハのBMD密度を制御し、ウェーハ特性及びデバイス特性のBMD密度依存性を調べた。

【0032】後述する製造例の結果に示されているように、基板中のBMD密度が高くなると基板の機械的強度が劣化する(図8)。BMDが多発するとプロセス条件によってはスリップが発生し、デバイスの歩留まりを低下させる(図9、図10)ため、BMD密度を制御する必要があった。P/P⁺エピウェーハではBMD密度を 1×10^{10} 個/cm³以下に抑えることによってスリップの発生を防ぐことができる。一方、BMD密度が低すぎると図12に示すように不純物汚染によりエピ層のライフタイムが低下するなど、ゲッター効果がいきおい乏しくなり、デバイスプロセス中の汚染によるデバイス不良が発生する。このため、BMD密度としては 1×10^6 個/cm³以上が必要である(図12)。本発明の方法によれば、BMD密度を 1×10^6 個/cm³～ 1×10^{10} 個/cm³の範囲で制御することができ、機械強

度にすぐれ、かつ、必要十分なゲッター能力も有するP/P⁺ エピウェーハを得ることができる。

【0033】低温、長時間の熱処理によってBMDの形成が抑制される現象は、図12に示すようにシリコン基板中のボロン濃度に強く依存し、ボロン濃度 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上で顕著である。また、シリコン基板中の酸素濃度が $7 \times 10^{17} \text{ atoms/cm}^3$ (Old ASTM: 以下酸素濃度の変換係数は全てOld ASTMを使用した。) 以下ではどのような熱処理を行っても酸素析出物はほとんど形成されないことも確認された。このため、本発明では $1 \times 10^{18} \text{ atoms/cm}^3$ 以上のボロン及び $7 \times 10^{17} \text{ atoms/cm}^3$ 以上の酸素を含むP⁺ 基板を用いたP/P⁺ エピウェーハは特定条件の低温熱処理を行い、BMD密度を制御するものである。

【0034】ここで重要なことは、熱処理の温度と時間が上述した特定の条件を満たしていることである。BMD形成熱処理はデバイス製造プロセスへの投入前に行ってもよいし、デバイス製造プロセスの熱工程を用いてもよい。また、ウェーハ加工工程中に行なってもよい。熱処理を分割して行うことも可能である。中温熱処理によってBMDを一定の大きさ以上に形成すれば、その後の低温熱工程での新たな析出核の発生はなく、デバイスプロセス中も一度形成されたBMD密度を保つことができる。

【0035】なお、低温熱処理温度が900℃以上、或いは500℃未満では酸素析出が起こらないためBMD密度は非常に低くなってしまい、実用に供し得ないので好ましくない。

【0036】また、ボロン濃度が $3 \times 10^{19} \text{ cm}^{-3}$ 以上ではエピ層、基板間の格子歪みが大きくなりすぎ、エピ層、基板界面にミスフィット転位が導入されてしまい問題がある。CZ法では基板酸素濃度が $2 \times 10^{18} \text{ cm}^{-3}$ 以上の結晶は均一性等の点から問題があり、実用に供し得ない。

【0037】

【実施例】 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上のボロン高濃度含有ウェーハを用いたP/P⁺ エピタキシャルウェーハに特定の熱処理を行うことによりBMDを制御した製造例について例示する。

【実施例1】CZ法により作成した、基板抵抗率 $10 \text{ m}\Omega \text{ cm}$ (ボロン濃度 $1 \times 10^{19} \text{ atoms/cm}^3$)、酸素濃度 $1.1 \times 10^{18} \text{ atoms/cm}^3$ のP⁺ 基板上に、 $3 \mu\text{m}$ のエピ層を成長させたP/P⁺ エピウェーハに、拡散炉を用いて乾燥酸素雰囲気中で温度600℃で15h、続いて1000℃にて8h (600℃、15h+1000℃、8h) の熱処理を加えた後、通常のプロセスで64MDRAMを試作した。

【実施例2】実施例1と同様のP/P⁺ エピウェーハに、拡散炉を用いて乾燥酸素雰囲気中で600℃、10hの熱処理を加えた後に、通常のプロセスで64MDR

AMを試作した。

【実施例3】実施例1と同様のP⁺ ウェーハのウェーハ加工プロセスにおいて、SiH₄を用い、600℃、4hの熱CVD処理で多結晶シリコン膜を $1 \mu\text{m}$ 厚堆積し、さらに窒素雰囲気中で600℃、6hの熱処理を加えた後、ミラー加工を施し、 $3 \mu\text{m}$ のエピ層を成長させて、裏面多結晶シリコン膜付P/P⁺ エピウェーハを作成した。この裏面多結晶シリコン膜付P/P⁺ エピウェーハを用いて通常のプロセスで64MDRAMを試作した。

【実施例4】CZ法により作成した、基板抵抗率 $10 \text{ m}\Omega \text{ cm}$ (ボロン濃度 $1 \times 10^{19} \text{ atoms/cm}^3$)、酸素濃度 $1.1 \times 10^{18} \text{ atoms/cm}^3$ のP⁺ ウェーハに、拡散炉を用いて650℃、20hの熱処理を加えた後に、エピ層形成を行ってP/P⁺ エピウェーハとし、通常のプロセスで64MDRAMを試作した。

【実施例5】実施例1と同様のP/P⁺ エピウェーハを64MDRAMを作成するデバイスプロセスに投入し、 10 nm 厚の熱酸化膜を形成した後、窒素雰囲気中で600℃、10hの熱処理を行った。その後再び通常のプロセスに戻し、64MDRAMを試作した。

【実施例6】実施例1と同様のP/P⁺ エピウェーハに拡散炉を用いて乾燥酸素雰囲気中で600℃、10h+1000℃、8hの熱処理を加えた後に通常のプロセスで64MDRAMを試作した。

【実施例7】実施例4と同様のP⁺ ウェーハに拡散炉を用いて560℃、20h+1000℃、8hの熱処理を加えた後に、エピ層形成を行ってP/P⁺ エピウェーハとし、通常のプロセスで64MDRAMを試作した。

【実施例8】実施例3と同様のP⁺ ウェーハ加工プロセスにおいて、SiH₄を用い、600℃、4hの熱CVD処理で多結晶シリコン膜を $1 \mu\text{m}$ 厚堆積した後、ミラー加工を施し、 $3 \mu\text{m}$ のエピ層を成長させて、裏面多結晶シリコン膜付P/P⁺ エピウェーハを作成した。この裏面多結晶シリコン膜付P/P⁺ エピウェーハに650℃、8hの熱処理を加えた後、通常のプロセスで64MDRAMを試作した。

【比較例1】実施例1と同様のP/P⁺ エピウェーハに拡散炉を用いて乾燥酸素雰囲気中で700℃、3h+1000℃、8hの熱処理を加えた後に通常のプロセスで64MDRAMを試作した。

【比較例2】実施例1と同様のP/P⁺ エピウェーハをデバイスプロセスに投入し、酸化膜を堆積するプロセス (700℃、3h相当の熱処理) を経た後に窒素雰囲気中で1000℃、8hの熱処理を行った。その後再び通常のプロセスに戻し、64MDRAMを試作した。

【比較例3】実施例1と同様のP/P⁺ エピウェーハに拡散炉を用いて、乾燥酸素雰囲気中で600℃、3h+1000℃、8hの熱処理を加えた後、通常のプロセス

で64MDRAMを試作した。

【比較例4】実施例1と同様のP/P⁺ エピウェーハに拡散炉を用いて、乾燥酸素雰囲気中で650℃、5h+1000℃、8hの熱処理を加えた後、通常のプロセスで64MDRAMを試作した。

【比較例5】実施例1と同様のP/P⁺ エピウェーハに拡散炉を用いて、乾燥酸素雰囲気中で700℃、7h+1000℃、8hの熱処理を加えた後、通常のプロセスで64MDRAMを試作した。

【比較例6】実施例1と同様のP/P⁺ エピウェーハに拡散炉を用いて、乾燥酸素雰囲気中で600℃、3hの熱処理を加えた後、デバイスプロセスに投入した。

【比較例7】実施例1と同様のP/P⁺ エピウェーハに拡散炉を用いて、乾燥酸素雰囲気中で650℃、7h+1000℃、12hの熱処理を加えた後、デバイスプロセスに投入した。

【従来例1】特別の熱処理を実施しなかったこと以外は実施例1と同様方法でP/P⁺ エピウェーハを用いて64MDRAMを試作した。

【従来例2】特別の熱処理を実施しなかったこと以外は実施例1と同様方法でP/P⁺ エピウェーハにおいて、基板初期酸素濃度が $5.0 \times 10^{17} \text{ atoms/cm}^3$ と低酸素濃度のウェーハを用いて64MDRAMを試作した。

BMD密度の評価

図1、2および3にも示したとおり、P/P⁺ エピウェーハでは低温熱処理の温度や時間を変えることによってBMDを制御することができる。実施例1～8は図3でいえば領域Aの熱処理条件に相当する熱処理を加えた場合である。比較例1、2は領域Bの場合に相当し、3～7はA、B領域外の熱処理を加えた場合である。従来例ではBMD形成のための熱処理は特に加えていない。

【0038】下記表1は実施例、比較例および従来例について、デバイスプロセス終了後のBMDを評価したものである。

【0039】

【表1】

	BMD密度	BMDサイズ(a.u.)
実施例	1 $8 \times 10^7 / \text{cm}^2$	38
	2 $2 \times 10^7 / \text{cm}^2$	36
	3 $4 \times 10^7 / \text{cm}^2$	34
	4 $4 \times 10^8 / \text{cm}^2$	48
	5 $3 \times 10^7 / \text{cm}^2$	36
	6 $1 \times 10^{10} / \text{cm}^2$	68
	7 $2 \times 10^8 / \text{cm}^2$	102
	8 $8 \times 10^9 / \text{cm}^2$	39
比較例	1 $6 \times 10^9 / \text{cm}^2$	112
	2 $9 \times 10^9 / \text{cm}^2$	98
	3 $2 \times 10^{10} / \text{cm}^2$	78
	4 $4 \times 10^{10} / \text{cm}^2$	97
	5 $5 \times 10^{10} / \text{cm}^2$	132
	6 $6 \times 10^{10} / \text{cm}^2$	48
	7 $3 \times 10^{10} / \text{cm}^2$	83
従来例	1 $8 \times 10^{10} / \text{cm}^2$	28
	2 $2 \times 10^6 / \text{cm}^2$	110

BMD密度の評価にはTEM及びIRトモグラフを用い、サイズの評価にはIRトモグラフを用いた。実施例では比較例や従来例1に比べてBMD密度が低く抑えられており、また熱処理の温度や時間を変えることによってBMD密度が広い範囲で制御されていることがわかる。

【0040】また、表1はBMDサイズについても制御可能であることも示している。今後の高集積デバイスでは、デバイスプロセスの低温化、短時間化によりBMD密度及びBMDサイズ制御が必要となってくる。本発明によってBMDサイズについても制御可能である。

【0041】実施例1、2、4、6、7では酸素あるいは酸素雰囲気中での熱処理の例を示したが、雰囲気に関してはこれに限定されるものではない。また、熱処理を行う装置に関しても限定されない。前述したように本発明においては、処理温度および処理時間が特定の条件を満たすことが肝要である。そして、熱処理を行う時期についても、デバイスプロセス投入前に限定されるものではない。たとえば、実施例5に示すようにデバイスプロセス中の熱工程を利用することも可能である。また、実施例3、8に示すようにBSP形成やDK（ドナーキラー）などのウェーハ製造工程中の熱工程を利用することも可能である。この点、本発明によれば、デバイスプロセスやインゴット状態での加熱を始めウェーハ製造工程をも含めた熱工程において、利用できる工程を利用し、必要な熱処理を加え、総合的に製造プロセスを計画することができるので、幅広いデバイスプロセスに適用可能

である。

【0042】実施例、比較例、従来例によって試作された64MDRAM或いはP/P⁺エピウェーハの特性を調べた。その結果、図14に示すように実施例では従来例1に比べて転位発生率が著しく減少し、歩留まりも良好であるという結果を得た。本発明によってBMD密度を抑制したことが転位発生率を減少させ、歩留まりの向上という効果をもたらしたためである。

【0043】このような結果を得た背景として、BMD密度と機械強度及びゲッター能力の関係について説明する。図8及び図11に機械強度及びゲッター能力のBMD密度依存性を示す。

【0044】機械強度の指標としては最大分解せん断応力を用いることができ、値が大きいほど機械強度が強いことを示す。図8より、BMD密度が増えるにつれて機械強度が低下することがわかる。デバイスプロセスに必要な強度確保し、転位発生率を抑えるためには、図9および図10に示すようにBMD密度 1×10^{10} 個/cm³以下とすることが必要である。図11では、ゲッター能力の指標として、強制汚染+熱処理後のエピ層ライフタイムのBMD密度依存性を示している。エピ層中のライフタイムが高いほどP⁺基板のゲッター能力が高いことを表す。BMD密度が増加するにつれてライフタイムが伸び、ゲッター能力が上がるがわかる。ライフタイムが極端に低い場合には図12に示すようにデバイス不良が発生するため、BMD密度は 1×10^6 個/cm³以上にする必要があることがわかる。

【0045】このように、本発明の方法によれば機械強度及びゲッター能力的に良好な基板を得ることができる。

【0046】

【発明の効果】図8に示されているように、基板の機械強度はBMD密度が高くなるにつれて劣化し、デバイス工程中での転位発生率はBMD密度が 1×10^{10} 個/cm³を超えると急激に上昇することがわかる(図9、図10)。従って基板の機械的強度を保ち、転位発生を防止するためにはBMD密度を 1×10^{10} 個/cm³以下に抑える必要がある。一方、ゲッターの面からは、BMDが 1×10^6 個/cm³以上形成されていることが必要である。しかし、高濃度ボロン含有基板では酸素析出が起り易いため、BMDを制御することは従来技術では非常に困難であったことは既に述べた通りである。本発明は、このような高濃度ボロン含有基板において簡便にBMD密度を制御しようとするものである。

【0047】本発明によれば、P/P⁺エピウェーハでは析出核形成条件によってBMD密度、サイズを変化させることが容易にできる。とくに、500℃~690℃の温度領域において、特定の条件を満足する長時間の熱処理を加えることにより、BMDの形成を効果的に抑制することができる。

【0048】また、本発明による不等式(A)に従った熱処理によりBMDを 1×10^{10} 個/cm³以下の任意の範囲で制御することが可能となり、BMDの多発を防止し、BMD密度やサイズを最適状態に制御することができ、デバイスの不良率を低減して歩留まりの向上を図ることができる。

【0049】また、低温、長時間の熱処理によってBMD密度を抑制する本発明の原理は、析出核を過剰に形成させることによってその成長を抑えることにある。従って、熱処理の形式は限定されない。したがって、ウェーハ加工工程やデバイスプロセスの熱工程を利用することも可能である。いくつかの熱処理を組み合わせることもできる。

【0050】本発明に係る方法によれば、BMDを中~低密度(1×10^{10} ~ 1×10^6 個/cm³)に抑えることによって機械強度に優れた半導体基板を得ることができる。また、熱処理温度と時間を変えることによってBMD密度を制御することもできる。機械強度の観点からはできるだけ低密度のBMDがよく、ゲッターの観点からは高密度のBMDが必要となるが、本発明の方法によれば、機械的強度、ゲッター力のどちらを優先するかに応じて、製造するデバイスの種類、製造ラインの清浄度レベルに鑑みて自由に選択することができる。

【図面の簡単な説明】

【図1】P/P⁺エピウェーハにおけるBMD密度の低温熱処理依存性を示す図。

【図2】P/P⁺エピウェーハにおけるBMDサイズの低温熱処理依存性を示す図。

【図3】P/P⁺エピウェーハにおけるBMD密度の低温熱処理温度及び時間依存性を示す図。

【図4】P/P⁺エピウェーハにおける酸素析出挙動を説明する図。

【図5】P/P⁺エピウェーハにおける酸素析出挙動を説明する図。

【図6】P/P⁺エピウェーハにおける酸素析出挙動を説明する概念図。

【図7】P/P⁺エピウェーハにおける酸素析出挙動を説明する概念図。

【図8】最大分解せん断応力(機械強度)のBMD密度依存性を示す図。

【図9】デバイスにおける転位発生率のBMD密度依存性を示す図。

【図10】デバイスにおける歩留まりのBMD密度依存性を示す図。

【図11】エピ層ライフタイム(ゲッター能力)のBMD密度依存性を示す図。

【図12】デバイスにおけるリーク系不良率のBMD密度依存性を示す図。

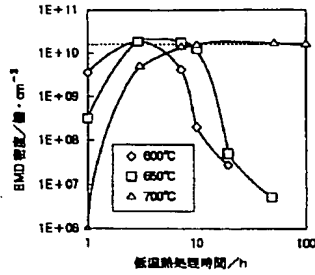
【図13】BMD形成抑制効果のボロン濃度依存性を示す図。

す図。

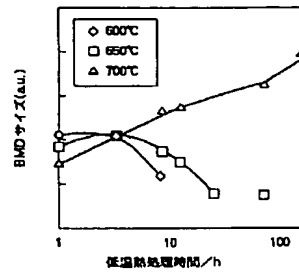
【図14】実施例、比較例、従来例によって試作した6

4MDRAMの平均転位発生率と平均歩留まりを示す図。

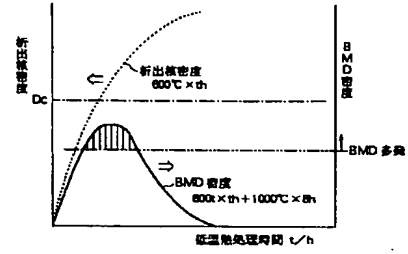
【図1】



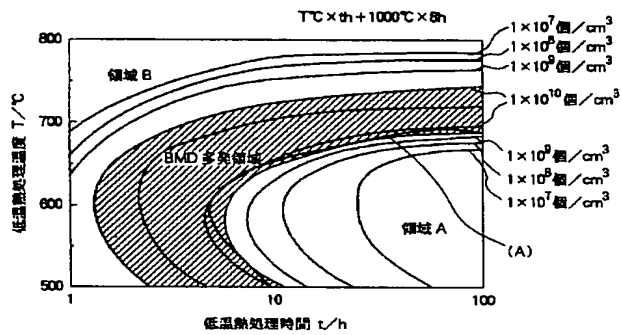
【図2】



【図4】

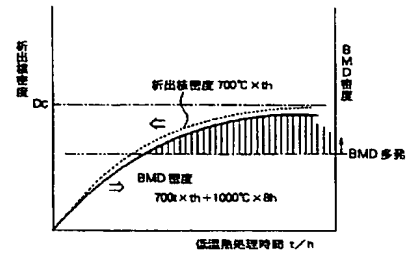


【図3】



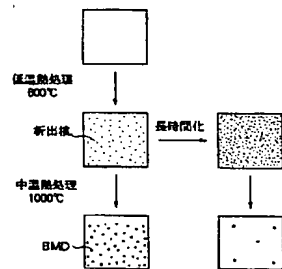
$$(A): \log_{10} \rho = (4.019 \times 10^{-7}) T^3 - (6.573 \times 10^{-4}) T^2 + 0.3478T - 59.72$$

【図5】

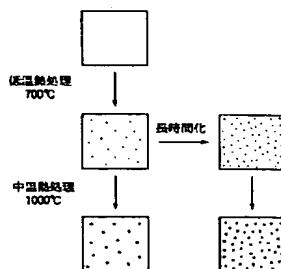


【図10】

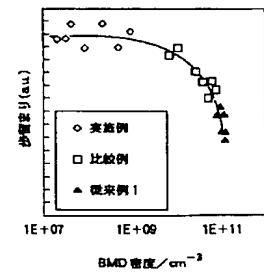
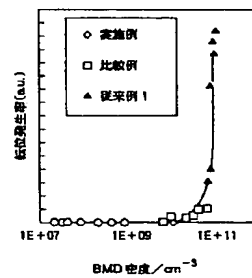
【図6】



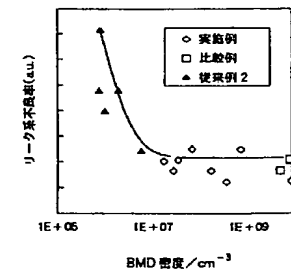
【図7】



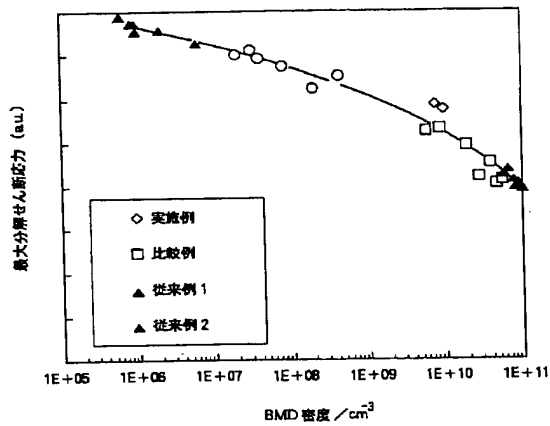
【図9】



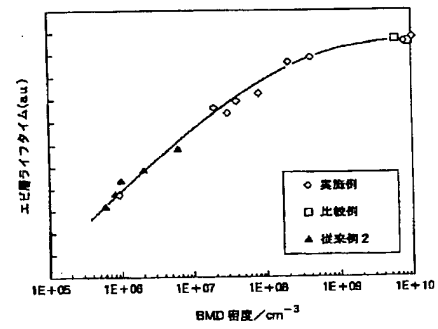
【図12】



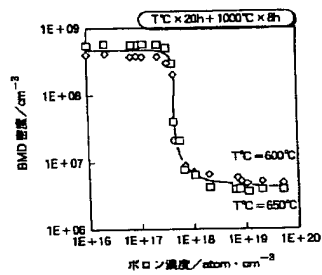
【図8】



【図11】



【図13】



【図14】

